

《日本のSoC工場の存続と発展》

ファンドリーの新たな勢力図 SoCビジネスの本質とは何か



㈱エフエーサービス 半導体事業部 技術主幹 湯之上 隆

ファンドリー最大手のTaiwan Semiconductor Manufacturing (TSMC) に対抗して、米Globalfoundries (GF) が急成長している。韓国Samsung Electronicsも新たにSoCのファンドリーに参入してきた。さらに、米IBMを中心としてGF、Samsung、伊仏STMicroelectronicsの4社が手を結び、同一設計のSoCを3大陸のどこでも製造できる新たなSoCプラットフォームを構築している。ファンドリーは、TSMCと、IBMを中心とする4社連合の勢力に二分された。ここに日本半導体メーカーの名前はない。日本のSoCはこのまま衰退してしまうのか？ TSMCのモリス・チャンCEOが予測したように、日本のSoCメーカーはすべてファブレス化せざるを得ないのか？ 本稿では、日本のSoC工場を存続・発展させるにはどうしたら良いかを考察する。

日本半導体産業の失われた20年

長引く日本経済の低迷が、“失われた20年”と言われ始めた。この20年間の日本半導体産業を概観すると、最初の10年で韓国Samsung ElectronicsによってDRAMからの撤退に追い込まれ、次の10年で台湾のファンドリーTaiwan Semiconductor Manufacturing (TSMC) にSoCビジネスを制されてしまった。

NECエレクトロニクスと経営統合したルネサステクノロジも、東芝・大分工場も、富士通セミコンダクターも、SoCではほとんど利益を上げることができていない。また、各社とも、工場閉鎖および事業縮小により、最先端の設備投資は行わないことになった。さらに、最先端のSoCについては、TSMCに生産委託するとの発表がなされた。

ファンドリーの勢力図

日本半導体産業がSoCビジネスを失っていく一方、ファンドリーの最大手TSMCは、半導体世界3強の一角を占め、圧倒的な存在感を示すに至っている。

また、アラブ首長国連邦 (UAE) の投資会社 Advanced Technology Investment (ATIC) が、シンガポールChartered Semiconductor Manufacturingと米AMDとの合併により設立した米Globalfoundries (GF) が急成長している¹⁾。

さらに、Samsungもファンドリーに名乗りを挙げ

た。High-k絶縁膜/メタルゲートを採用した32nm世代のSoC向けプロセス技術の開発を終え、受託生産の準備を整えたと発表している²⁾。

そして、米IBM、Samsung、GF、伊仏STMicroelectronicsの4社は、28nm世代において設計パラメータや製造関連の仕様を一致させると発表した³⁾。ファブレスは、4社のいずれかのラインで製造することを前提に設計したSoCを、再設計せずに他の3社のラインで製造することができるという。この結果、ユーザーは世界の3大陸に存在する複数の製造ラインでチップを製造できるようになるとのことである。TSMCに対抗する、新たなSoCのプラットフォームを構築している模様である。

以上の結果、ファンドリーの世界は、TSMCと、IBMを中心とする4社連合の2つの勢力に分かれたと言える。この中に、残念ながら、日本半導体メーカーの名前はない。

的外れな日の丸ファンドリー構想論

日本半導体メーカーがDRAMから撤退してSoCに舵を切って以来、TSMCに対抗するために、日の丸ファンドリーを作ろうという構想が幾度となく浮上した。現在も、日本半導体業界のあちらこちらで、似たような話が聞こえてくる。

しかし、筆者は、日の丸ファンドリー構想には、徹底して反対の意を唱えてきた。その理由の1つは、

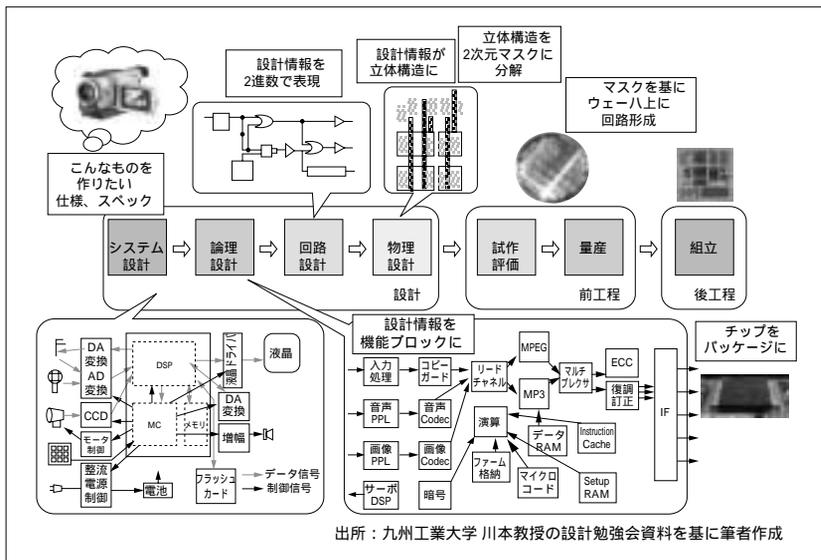


図1 SoCができるまで (設計 前工程 後工程)

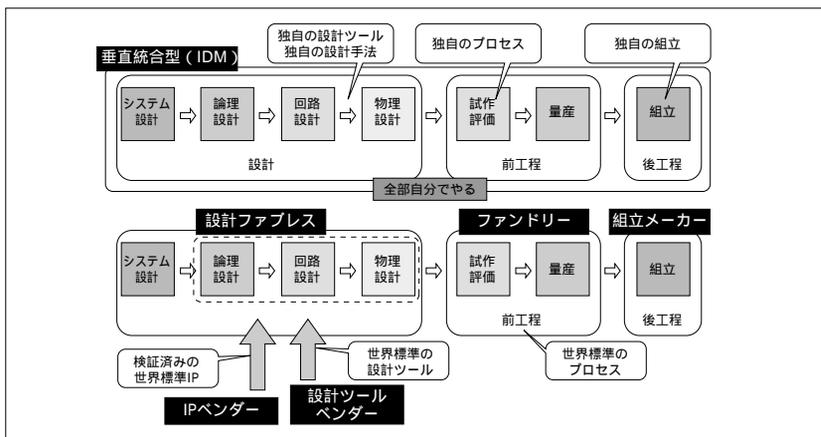


図2 垂直統合型 (IDM) とファンドリーの比較

数社が寄り集まって意思を統一するのは時間の無駄だからだ。2社合併で、エルピーダメモリやルネサスがどのようなことになったかを見れば、一目瞭然だろう。

もう1つの理由は、SoCの本質論に関わる問題である。日の丸ファンドリー必要論の根強い理由として、「日本のプロセス技術は台湾などには負けていない」という(無邪気な)意見が主張されている。この主張には何ら根拠はない。単なる過去の幻想に過ぎない。

百歩譲って、日本のプロセス技術が台湾よりも優れていると仮定しても、SoCにおいて、それはさほど大きな意味を持たない。SoCにおいては、ファブレスがリスクを冒すことなく設計できるプラットフォームを提供することが、決定的に重要な

である。そのSoCのプラットフォームをどのように構築するかという戦略がないまま、日の丸ファンドリーを作ったとしても、全くTSMCに対抗することなどできはしない。

そこで本稿では、SoCを制覇したTSMCがどのようなプラットフォームを構築したのかを詳述する⁴⁾。このSoCプラットフォームの威力を、SoC生産の流れ、IDMとファンドリーの比較、設計コストおよび製造コストの高騰、SoCプラットフォームの構造の順に説明しよう。

SoC生産の流れ

まず、デジタルムービー用のSoC生産を例に取り、設計、前工程、後工程など、SoC生産の流れを説明する(図1)。

システム設計：まず、商品を企画し、スペックや仕様を決め、図1に示すようなシステムを構築する。

論理設計：設計情報は、機能ブロックで表現される。

回路設計：機能ブロックを2進数の回路に変換する。

物理設計：回路を3次元の立体構造に変換する。これを2次元のマスクセットに分解する。当初の設計情報は、マスクセットに転写されたことになる。

試作・評価：マスクセットを基に、ウェーハ上に集積回路を形成する。回路が当初のスペックを満たすかどうか評価する。必要に応じて、マスクの修正などを行う。

量産：完成したマスクセットを基に、量産する。当初の設計情報は、全てウェーハ上に、回路として転写されたことになる。

組立：ウェーハからチップを切り出し、パッケージングして、SoCは完成する。

垂直統合型 (IDM) とファンドリーの比較
SoC生産に対して、IDMとファンドリーの比較を、

図2に示す。IDMは、全ての設計、試作評価、量産、組立、さらには販売まで、全て自前で行う。独自の設計ツールを用いて、独自の設計手法、独自の設計IPを使い、独自の製造プロセスでSoCを量産する。

一方、ファブレス、ファウンドリーでは、水平分業と標準化を徹底する。ファブレスは、世界標準の設計ツールを購入し、すでに検証が済み実績のある半導体設計資産IPコアをIPベンダーから導入して、設計作業を行う。ファウンドリーである

TSMCは、世界標準装置および装置メーカー推奨の標準要素技術を用いて、工程フローを構築し、その工程フローに基づいてSoCをSiウェーハに作り込む。SoCが作り込まれたウェーハは、専門の組立メーカーで、ダイシングされてチップとなり、パッケージングされる。以上のように、IDMがSoC生産を全て自前で行うのに対して、後者は、ファブレスメーカー、IPベンダー、設計ツールベンダー、TSMC、組立メーカーなどが、分業してSoCを生産する。

設計コストおよび製造コストの高騰

半導体デバイスは、ムーアの法則に従って集積化および微細化することにより、高速化、低消費電力化、高集積化、および低コスト化を一挙に実現する。そのため、1971年にIntelが「4004」プロセッサと1KビットDRAMを発売して以来、ひたすら微細化の道を突き進んできた。

ところが、微細化に伴って、マスクコストが急騰し、マスク描画時間も著しく増大してきた。例えば、1世代前の最小線幅65nmのSoCを設計するためですら、1製品で4億円を超え、マスク製作時間が200時間を超える。また、最先端の微細化を実現する半導体工場を1つ作るのに、3000億円以上の投資が必要になってきた。

これらのコスト高騰は、特に、少量多品種のSoCにおいては、深刻な問題である。携帯電話やデジタル家電用のSoCは、製品のライフサイクルが短いため、上記のように莫大なコストをかけて作って

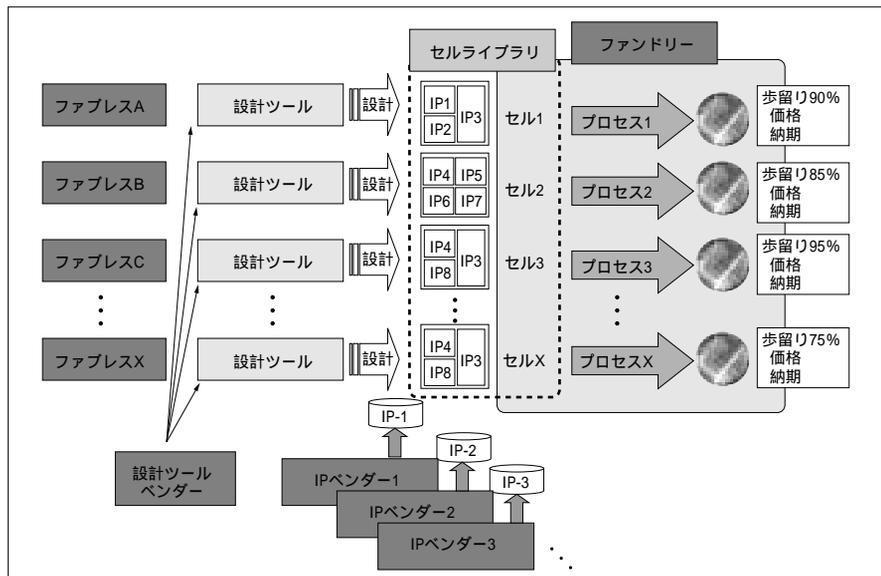


図3 SoCのプラットフォーム

も、投資した費用を回収できない危険性が高い。ファブレスおよびTSMCは、このようなSoCの経済的リスクの問題を、どのようにして解決したのかを以下に示す。

SoCプラットフォームの構造

世界に多数存在するファブレスは、世界標準の設計ツールを使い、検証済みかつ実績のある世界標準の半導体設計資産IPコアを用いて、それぞれ、SoCを設計する（図3）。その設計資産をセルと呼ぶ。ファウンドリーは、セルに応じた工程フロー（プロセス）を開発する。その結果、ファブレス、設計ツールベンダー、IPベンダー、およびTSMCは、セルライブラリを所有するようになった。セルライブラリは、設計データと工程フローが1対1に対応する。つまり、セルライブラリとは、SoCのカタログのようなものである。

例えば、このプラットフォームを用いて、デジタルカメラ用のSoCを設計することを想定してみよう。設計者が行う仕事とは、“世界標準の設計ツールを購入し、セルライブラリの中から、デジカメにぴったりのセルを指定すること”、これだけである。セルさえ指定すれば自動的に、歩留り、価格および納期がわかる。まさに、セルライブラリとはカタログなのである。従って、設計者は、莫大な経済的リスクを負うことがない。また、新規に設計した回路が上手く動作するかどうかを心配する必要もない。リーズナブルな条件で、リーズナ

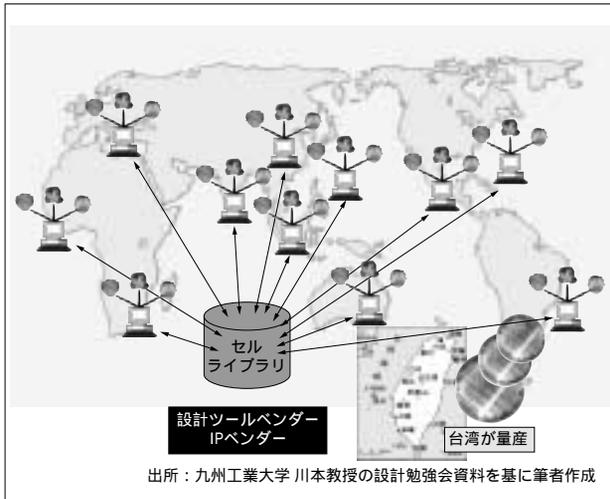


図4 いつでも、どこでも、誰でも、同じ設計が可能

ブルな価格で、ビジネスプランを立てることができる。

このようなSoCプラットフォームが構築された結果、ファブレスだけでなく、垂直統合型の日本半導体メーカーすらも、この仕組みを利用するようになった。例えば、日本の垂直統合型企業の1つであるA社は、月産1万枚の300mm工場を所有し、デジタルTV用のSoCを量産している。ところが、上記規模を超えて量産する場合は、TSMCに生産を委託する。そこで、TSMCに生産委託するであろう可能性を考えて、最初から、TSMCコンパチブルな設計をしておくのである。

この結果、ある意味で、SoCの設計は、いつでも、どこでも、誰でも、同じことができるようになった(図4)。このようにして、世界中のファブレスメーカーおよび投資能力が低い半導体メーカーが、こぞってTSMCに生産委託するようになったのである。そして、台湾のTSMCには世界中から、SoCの製造が集まるようになった。その有様は、まるで、熊手で世界からSoCをかき集めているかのようである(図5)。

SoCプラットフォームの威力が、理解いただけたらだろうか?

日本SoCメーカーの未来

TSMCのモリス・チャンCEOは、「日本半導体メーカーはファブレス化するだろう」と予測した⁵⁾。この予測通りになるとすると(残念ながら現状は予測通りなのだが)、日本半導体のSoC工場は全て閉鎖されることになる。リストラの嵐が吹き荒れ、



図5 Oligopoly of SoC Business

日本の半導体プロセス技術が消え去ることになるだろう。

これを回避するための方策として、筆者は、次のような案を考えてみた。それは、日本半導体メーカー各社がTSMCファミリー、つまり、TSMCの子会社になるということである(またはIBMを中心とした4社連合ファミリーの仲間でも良い)。こうすれば、TSMCが世界中のファブレスから受注したSoCを、TSMCが構築したプラットフォームに乗っかって、TSMCのファブの1つとして日本半導体メーカーが生産することができる。その結果、工場も閉鎖しなくて良いし、雇用も維持できる。また、日本からプロセス技術が消え去ることはない。さらに、過剰技術・過剰品質の病気を見直すことができれば、最先端プロセス開発にも貢献できるかもしれない。すなわち、過去の栄光やプライドは捨て去り、実益のみを取るのである。

実際に、DRAMメーカーのエルピーダは、台湾企業との協業を実行している。SoCでできないはずはないだろう。現状を見据えれば、プライドが許さないとか、沽券に関わるなどと言っている場合ではないと筆者は考えるが、どうだろうか?

参考文献

- 1) Business Wire、March 04、2009 12:01 AM Eastern Daylight Time. <http://www.businesswire.com/>
- 2) Tech-On (2009.6.11) <http://www.nikkeibp.co.jp/article/news/20100611/231168/>
- 3) Tech-On (2009.6.24) <http://www.nikkeibp.co.jp/article/news/20100624/233487/>
- 4) 湯之上隆：日本「半導体」敗戦、光文社(2009)第3章
- 5) 湯之上隆：Electronic Journal (2010.6) pp.37-39