

《何故、High-k技術が使われないのか?》

## ハッピースケーリング時代の終焉 技術開発前にコスト試算が不可欠



ルネサエサービス 半導体事業部 技術主幹 湯之上 隆

2008年、米Intelは、世界で初めてHigh-k技術を量産に適用した。しかし、それに続くメーカーは現れない。論文件数から見ると、日本は米国と同等の研究レベルにある。何故、High-kが使われないのか? IntelにおけるHigh-k導入のコストアップは、製造コストの4%、金額にして4万円と予想される。これは、2000個のチップが取れる300mmウェーハの売価400万円と比較して無視できる。一方、DRAMに置き換えると、1300個のチップが取れる300mmウェーハの売価は13~32万円程度であり、4万円のコストアップが許容できない。つまり、High-kが使われない理由は、High-k導入に伴う製造コスト4万円のアップを許容できるLSIビジネスがないことにある。微細化さえしていれば良いハッピースケーリングの時代は終焉した。今後の技術開発においては、その技術導入によるコストアップを、予め慎重に検討する必要がある。

### High-kを量産適用したIntel

現在、米Intelは、ネットブック用として、「Atom プロセッサ」を量産している。45nmノードのAtom プロセッサには、世界で初めてHigh-k絶縁膜とメタルゲートを使用したとIntelは発表している(2008年3月)<sup>1)</sup>。

ムーアの法則通りにLSIの集積度を増大させるためには、スケーリング則に従ってトランジスタを微細化し、ゲート絶縁膜を薄膜化する必要がある。その結果、40年以上にわたって使用されてきたSiO<sub>2</sub>膜は、現在、1nmより薄くなっている。ここまですら薄膜化すると、Si基板とゲート電極の間のリーク電流が増大し、LSIの消費電力の無用な増大を招く。

この問題を解決するために、SiO<sub>2</sub>よりも誘電率が大きいHfSiO<sub>2</sub>やHfAlO<sub>2</sub>などのHigh-k絶縁膜の検討が、2000年前後から本格的に始まった。High-k絶縁膜を採用できれば、物理的に厚い膜を使用してリーク電流を抑制することができるためだ。

Intelは、ハフニウムベースのHigh-k絶縁膜を、初めて量産に適用した。しかし、それに続く半導体メーカーは現れない。何故、IntelはHigh-k技術

の量産化に一番乗りを果たすことができたのか? 何故、他の半導体メーカー(特に日本)は、High-k技術を量産化できないのか? 本稿では、この原因を考察する<sup>2)</sup>。

### High-kトランジスタの製造方法

トランジスタの製造方法について、Intelは、従来技術であるゲートファーストではなく、ゲートラストを採用していると思われる。ゲートファーストとは、その名の通り、最初にゲート絶縁膜とゲート電極を形成し、その後にソースとドレインを作るプロセスである。最も一般的なトランジスタ製造方法であり、長い実績とノウハウの蓄積がある。

しかし、この方法をHigh-kトランジスタに適用した場合、High-k絶縁膜とメタルゲート電極とを積層してからアニールを行うため、遷移金属酸化物であるHigh-k絶縁膜から金属に酸素が移動し、酸素空孔が形成される。これらの空孔は、トラップや固定電荷などとなり、トランジスタのしきい値電圧変動などを引き起こす。

一方、ゲートラストでは、まず、ダミーゲート

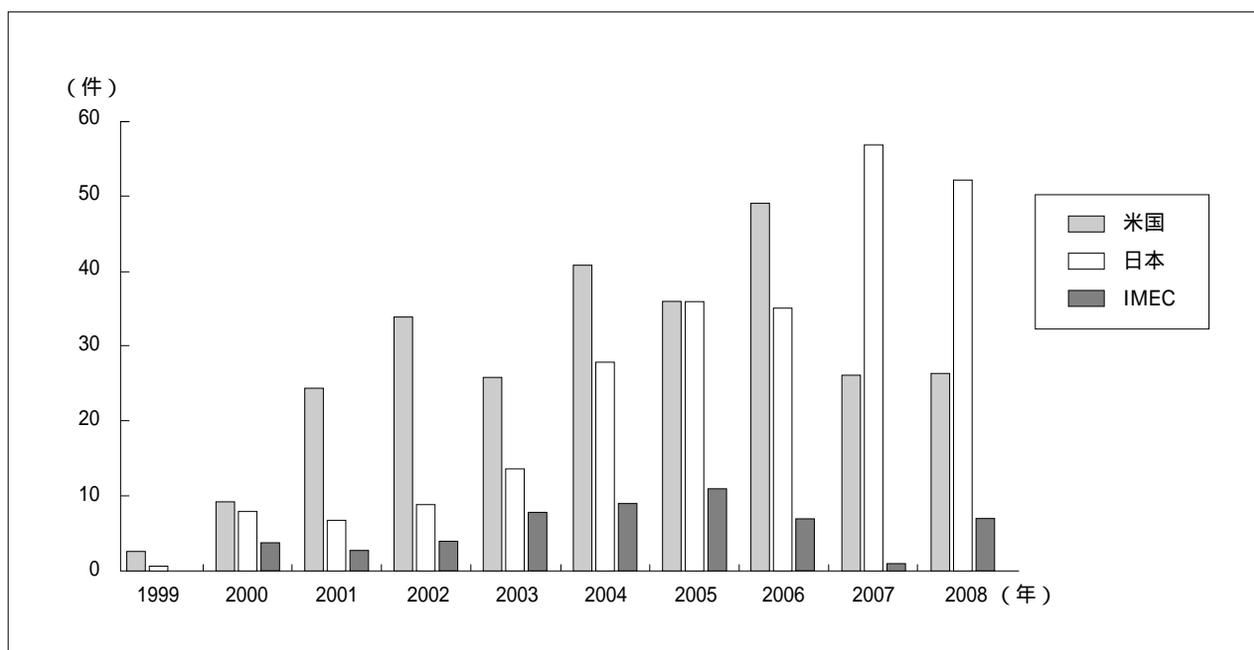


図1 High-k技術の地域別論文発表件数 (出所：日本科学技術振興機構のデータベースによる検索)

を用いてソースとドレインを形成する。次に、ダメージゲートを除去し、最後(ラスト)に、ゲート絶縁膜とゲート電極とを形成する。ゲートファーストと比較して、工程数は増えるが、High-k絶縁膜やゲート電極に高温処理が加わらず、材料本来の性質を損なわないという長所がある。

Intelは、2種類の製造方法を比較し、ゲートラストの方が、チャンネルに歪みをより有効に加えることができることを見出した<sup>2)</sup>。その結果、工程数は多いが、High-k材料の特性を損なわないゲートラストを選択したものと思われる。

#### 論文件数から見るHigh-kの研究動向

Intelおよび米国だけが、High-k技術を研究し、技術を蓄積していたのだろうか？図1に示した地域別High-k技術の論文発表件数を見ると、決してそうではないことがわかる。

まず、2000年から米国の論文件数が急増し、2006年をピークとして減少する。2006年頃から、研究が実用段階に移行したと推定できる。

一方、日本の論文件数は2002年あたりから増え始め、2007年にピークとなる。ベルギーIMECも日本と同時期に立ち上がり、2005年をピークに減少

する。

以上から、米国が世界の中で先行したのは間違いのないであろう。しかし、着手に3年ほど遅れたが、日本も、猛烈に追いついたことがわかる。日本で論文の多い研究機関は東京大学、半導体先端テクノロジーズ(Selete)、および産業技術総合研究所である。日本の論文数が増大した2002年は、筑波のスーパークリーンルームが竣工し、MIRAIプロジェクトやSeleteの活動が本格化した時期と一致する。

さらには、日本の著名な研究者たちが、International Electron Devices Meeting (IEDM) やVLSI Symposiumなど、一流の国際学会で招待講演を行っている事実を考え合わせれば、現在、日本と米国は、ほぼ同等の研究レベルにあると思われる。

では、何故、日本の半導体メーカーから、High-k技術を搭載したLSIが量産されないのか？

#### High-k導入によるコストアップは？

この問題をコストの面から考えてみよう。Intelによれば、High-k技術の導入に伴うコストアップは、4%であったとのことである<sup>3)</sup>。この4%は、金額にするといくらになるのだろうか？

Atomプロセッサのチップ面積は、25mm<sup>2</sup>程度である。歩留りを考慮しても、300mmウェーハから2000個以上のチップが取れると考えられる。チップ単価はおよそ2000円。従って、ウェーハ1枚の売り値は400万円と推定できる。

ここで、ウェーハ1枚当たりの製造コストを100万円と仮定する。High-k技術の導入によるコストアップが4%であるため、ウェーハ1枚当たりのコストアップは4万円となる。ウェーハ1枚当たりの売値が400万円であることを考えれば、4万円のコストアップなどは、無視できる金額であると言える。4%どころか、仮に10%で10万円のコストアップであったとしても、ビジネスには何ら支障は起きないだろう。

DRAMやTSVに置き換えると？

4万円が高いのか安いのか、感触を掴むためにDRAMおよび現在開発が花盛りのTSV技術と比較してみる。

まず、DRAMは300mmウェーハからおよそ1300個のチップが取れる。価格は、1個100円ならウェーハ1枚の売り値は13万円、1個250円なら32万5000円となる。4万円のコストアップは、たとえチップの性能が大幅に向上するとしても、到底受け入れられる金額ではないだろう。

次に、TSVについては、1枚当たりのコストアップを、5000~1万円以下にしたいという発言があった<sup>4)</sup>。この金額に比べると、High-k導入に伴うコストアップ4%で4万円は大き過ぎるのである。

High-kが使われない理由

Intel以外の半導体メーカー、特に日本メーカーにおいて、研究開発は行われても、High-kが量産に適用されない理由は、このようなコスト事情にあると推察できる。つまり、High-k導入に伴う製造コストの4万円アップを許容できるLSIビジネスがないということだ。

また、コストアップを嫌ってゲートファーストに固執する半導体メーカーでは、いまだに技術が完成していないという噂もある。それが理由で技

術的隘路に陥っているのであれば、技術が使われない原因は、やはりコストだと言えるだろう。

ハッピースケーリングの時代は終わった

1970年以降、LSIは、ムーアの法則通りに、高集積化を続けてきた。スケーリング則に従って、トランジスタを微細化すれば、微細化しただけで、高速化、低消費電力化、高集積化、そして、低コスト化が一挙に実現できたからである。

しかし、微細化に関する全ての技術が、年とともに急速に難しくなってきた。その証拠に、ITRSのロードマップは、“赤い壁”だらけになっている。その結果、ありとあらゆる技術開発費が、途方もなく膨張し高騰している。それにもかかわらず、LSIの価格は、無情にも低下するのである。従って、High-k技術のように、開発すれども使われない事態が起きることになる。

1990年代までは、微細化さえしていれば良かった。技術者は、微細化のためなら、何をしても良かったのである。残念ながら、この夢のような、ハッピースケーリングの時代は終焉を迎えた。

“この技術によって、LSIの製造コストがどのくらいアップするのか？”、“その結果、このLSIビジネスは成り立つのか？”、“今後、技術開発をする際には、予めこのようなコスト試算を慎重に行う必要がある。

参考文献

- 1) <http://www.intel.co.jp/jp/business/technologies/focused-tech/process-rule/index.htm> (IntelのHP)
- 2) 有門経敏、湯之上隆：日本半導体産業における研究開発のあり方、応用物理、第78巻、第9号(2009)、pp.878-881 (本稿はこの論文を参照に執筆)
- 3) C. Auth, et al. : 45nm High-k + Metal Gate strain-Enhanced Transistors, Digest of Technical Papers of VLSI 2008, Honolulu (2008) pp.128-129
- 4) <http://techon.nikkeibp.co.jp/article/NEWS/20070129/127056/?ST=silicon> (2008.10.1)
- 5) TSVでDRAM専業から脱する、日経マイクロデバイス (2009.11) pp.10-12