

# 半導体漫遊記

## 湯之上隆

⑫

4月12日、政府は、福島第一原発事故を最悪のレベル7に引き上げた。また、同17日、東京電力は、事故収束に向けた工程表を発表した。

これに対して、認識が甘過ぎる、判断が遅過ぎる、何をいさら、こんな工程表通りにいくわけがない、などと非難が続出して

る。しかし、筆者は、この二つの発表に対して、大きく一歩前進したと評価している。その理由を以下に示す。

まず、レベル7の発表。これですと日本は、自分の置かれている極めて深刻な立場を

を経ているはずである。この組織と人材の能力を結集できるのだ。

もちろん、工程表通りに対策が進む保証はない。行く手には艱難辛苦が待ち受けているだろう。また、新たな問題発生により工程表の変更が必要になることもあるだろう。

次に、工程表の発表。このような工程表を作るためには、事故は重要だ。東京電力の幹部、対策本部、実行部隊、協力会社の社員たち、すべての人々が、今自分がどこに向かっているか、今どの途中過程では、何度と

表。このような工程表を作るためには、事故は重要だ。東京電力の幹部、対策本部、実行部隊、協力会社の社員たち、すべての人々が、今自分がどこに向かっているか、今どの途中過程では、何度と

# 原発収束向け工程表を評価 英知結集で半導体も進歩

その背景には、国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors, ITRS)の存在がある(図2)。これは、世界中の半導体メーカーが寄り集

まっている通り、その集積度(マイクロトランジスタの数)が3年に4倍になっている。3年で70%の微細化を実現するためにはどんな技術開発が必要かを明らかにしたものである。その内容は、トランジスタ、配線、それらの構造や材料、製造方法など多岐にわたる。これを毎年アップデートする。この最新のロードマップ

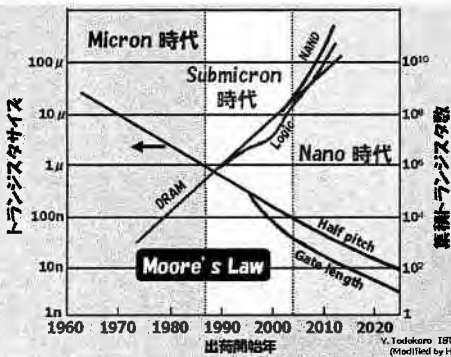


図1 ムーアの法則

出所：一般社団法人 電子情報技術産業協会(JEITA)半導体部会のHP

Year	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM half-pitch (CA)	80nm	70nm	65nm	57nm	45nm	40nm	36nm	36nm	32nm
MPU/ASIC M1 hp (CA)	90nm	78nm	68nm	59nm	52nm	45nm	40nm	36nm	32nm
MPU physical PC length	32nm	28nm	25nm	23nm	20nm	18nm	16nm	14nm	13nm
Gate length 3σ variation	3.8nm	3.3nm	3.0nm	2.7nm	2.0nm	1.8nm	1.6nm	1.4nm	1.3nm
CD bias btn dense and ISO	<15%	<15%	<15%	<15%	<15%	<15%	<15%	<15%	<15%
Profile control (side wall angle)	90°	90°	90°	90°	90°	90°	90°	90°	90°

図2 国際半導体技術ロードマップ(抜粋)

出所：International Technology Roadmap for Semiconductors のHPより

う。自社の技術が何かに、震災復興のための役に立たないか、是非とも知恵を絞っていただきたい。

しかし、それにして、菅内閣がいまだに、震災復興のためのロードマップを示せないのは、困ったことである。(半導体技術者・社会科学者)