

《DRAMの第2の破壊的イノベーション候補》

## Innovative SiliconのZ-RAM 第2の破壊的技術となり得るか？



働エフエーサービス 半導体事業部 技術主幹 湯之上 隆

かつてテクノロジードライバと言われたDRAMだが、21世紀になって、その微細化に陰りが見え始めた。その原因は、電荷を蓄積するためのキャパシタ容量が、スケーリング則に従わないことにある。このままでは、16~32GビットがDRAMの限界になるかもしれない。そのような中、キャパシタがない浮遊基板（Floating Body：FB）を用いたDRAMが脚光を浴びている。スイスのInnovative Siliconは、SOIデバイス特有のデバイス本体に過剰電荷が発生する“フローティング・ボディ効果”を上手く利用し、電流センスアンプを用いて情報を読み出すZ-RAMを開発した。Z-RAMは、従来型のFB-RAMに対して、“1”と“0”のセル電流差およびリテンションタイムを大幅に向上させた。同社は、韓国Hynix Semiconductorなどにライセンスし、量産化を目指している。Z-RAMがDRAMの破壊的イノベーションになるか、今後の行方が注目される。

### DRAMのボトルネックとは？

先月号で、DRAMには破壊的イノベーションが必要であることを指摘した<sup>1)</sup>。では、どのような技術が破壊的になるのだろうか？この問題を本稿で論じたい。

1970年に、米Intelが1KビットDRAMを発売して以降、DRAMは微細化の最先端を驍進してきた。スケーリング則に従って微細化すると、高集積化、高速化、低消費電力化および低コスト化が一挙に実現できたからである。DRAMこそ、ムーアの法則を実現してきた象徴的な半導体デバイスと言えよう。

ところが、2000年に入ると、微細化の最先端の座は、DRAMではなく、IntelのプロセッサおよびNAND型フラッシュメモリが占めることになった。そればかりか、DRAMの高集積化と微細化の速度はスローダウンし、最も早く微細化の限界に達するのではないかとされている。

これは何故か？最も深刻な理由を1つ挙げるとすると、それは、DRAMのメモリ動作を保証するキャパシタの微細化が困難になってきたことにある。

### DRAMのキャパシタ容量C

スケーリング則によれば、半導体デバイスの各

部の寸法や電圧などを比例縮小し、不純物濃度がこれらに反比例する関係が成立する。しかし、電荷を蓄積するためのキャパシタ容量は、唯一、スケーリング則に従わない。

キャパシタ絶縁膜の比誘電率を $\epsilon_r$ 、膜厚を $d$ 、表面積を $S$ とすると、キャパシタ容量は $C = \epsilon_r \cdot S/d$ で表される。微細化によりDRAMのセルサイズを縮小しても、一定値の $C$ を確保しなくてはならない。そのためには、表面積 $S$ を大きくする、膜厚 $d$ を薄くする、誘電率の大きな絶縁膜を使う、以上の3種類の方法を採る必要があった。

### DRAMキャパシタの歴史

70年代のKビット時代は、プレーナ（平面）型のセル構造で、キャパシタ絶縁膜としては $\text{SiO}_2$ （比誘電率4）または $\text{Si}_3\text{N}_4$ （比誘電率9）を用い、これらを薄化することにより、容量を確保した。

80年代のMビット時代に入ると、プレーナ型では容量 $C$ の確保が困難になった。そこで、セル構造を3次元化することにより、表面積 $S$ を大きくして容量 $C$ を確保した。その際、スタック型、マルチフィン型、シリンドラ型、トレンチ型などのセル構造が考案され、実用化された。また、64Mビット以降は、これでも間に合わなくなり、電極表面に凹凸を付

けたHSG (Hemi-Spherical Grain) あるいはRugged Polyと呼ばれる構造が採用された。

2000年以降、Gビットの時代(正確には256Mビット以降)になると、高誘電率膜を用いたキャパシタが採用され始めた。比誘電率が数十以上の $Ta_2O_5$ や、 $Al_2O_3/HfO_2$ などである。比誘電率は $Ta_2O_5$ の方が大きい、より薄化できる $Al_2O_3/HfO_2$ が主流となった。

現在、 $Al_2O_3/HfO_2$ を用いたシリンドラ型のキャパシタにより、-halfピッチ (hp) 50~45nmの1G~2GビットDRAMが量産されつつある。しかし、現状のセル構造の微細化は極めて難しいため、画期的に薄い高誘電率膜が開発されない限り、16~32GビットDRAMが限界と言われている<sup>2)</sup>。

#### キャパシタがない浮遊基板DRAM

このままでいくと、今後、キャパシタの問題が、DRAMの成長を阻害する。また、BRICsなどの新興諸国の経済地殻変動が原因で、DRAMの低価格化は、最早、避けられない。DRAMの高集積化と微細化を継続させ、かつ、劇的に低コストで製造することができ、その結果として破壊的イノベーションを起こすことが可能な方法はないものだろうか?

この難問を解決する方法の1つとして、浮遊基板(Floating Body: FB)を用いたDRAMが提唱されている<sup>3)</sup>。このFB-DRAMの動作原理は以下の通りである(図1)。

“1”の書き込み: トランジスタをONにし、ビットライン(BL)にプラスの電圧を印加する。すると、電子によるインパクトイオン化により正孔が発生する。この正孔がp型ボディ内に蓄積される。この状態を“1”とする。

“0”の書き込み: トランジスタをONにした状態で、BLにマイナスの電圧を印加する。すると、ボディ内に蓄積されていた正孔が排出される。こ

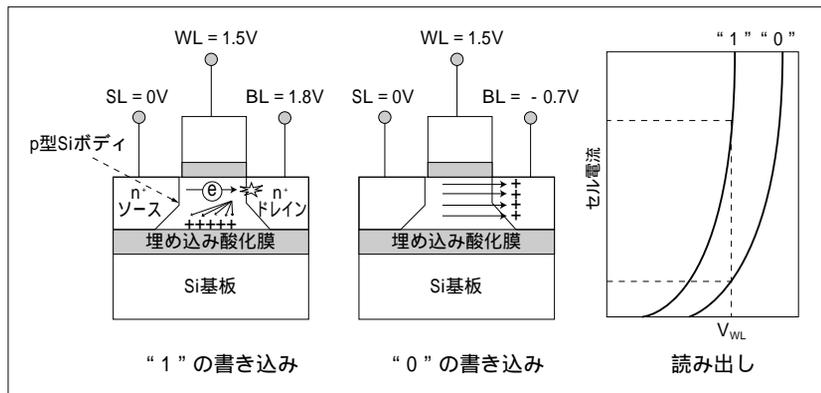


図1 FB-DRAMの動作原理

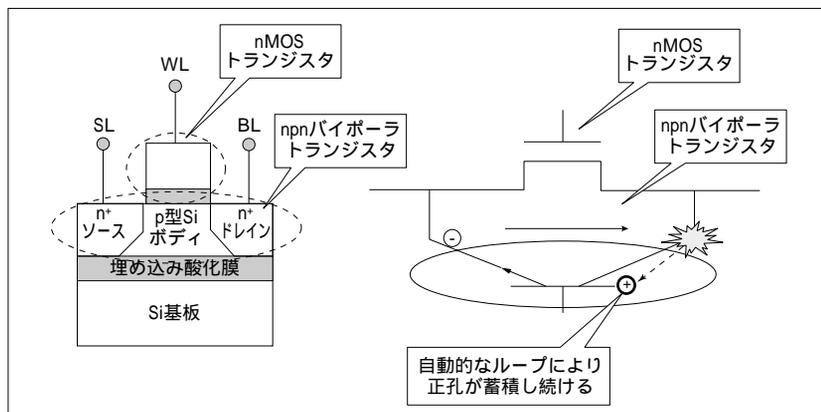


図2 Z-RAMの動作原理

の状態を“0”とする。

ボディ内に蓄積されていた正孔の数の差によって、トランジスタのしきい値電圧が変わる。つまり、“1”セルの電流が、“0”セルの電流より大きくなる。これを、メモリ機能として用いる。

もし、FB-DRAMの量産化が可能になれば、DRAMの高集積化と微細化の阻害要因であったキャパシタを作る必要がなくなる。従って、DRAM限界説をブレークスルーできることになる。

しかし、上記FB-DRAMには、“1”と“0”のしきい値電圧差  $V_{th}$  が小さい、データ保持時間が短い、アレイにした際、各セルの動作保証が難しい、SOI基板が高価、などの問題点があった。

#### 改良されたZ-RAM

上記の問題に対して、スイスのInnovative Siliconは、基本的なデバイス構造は変更せず、バイアスのかけ方および信号の読み出し方を工夫したZero Capacitor RAM (Z-RAM)を開発した(図2)。

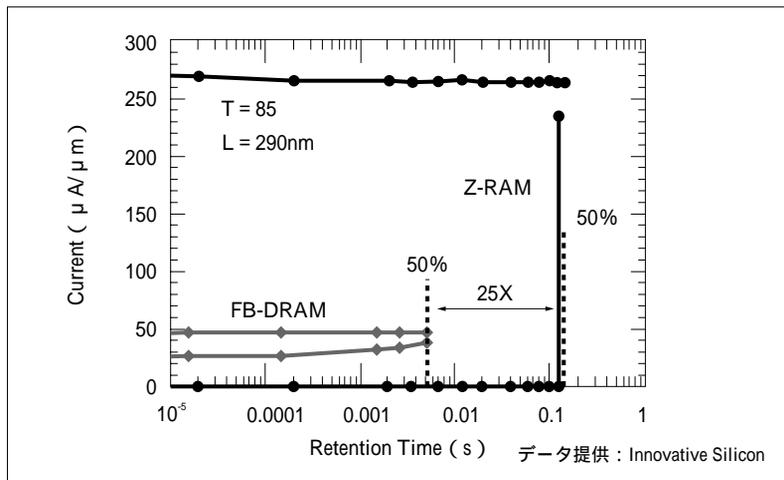


図3 従来のFB-RAMとZ-RAMの動作比較

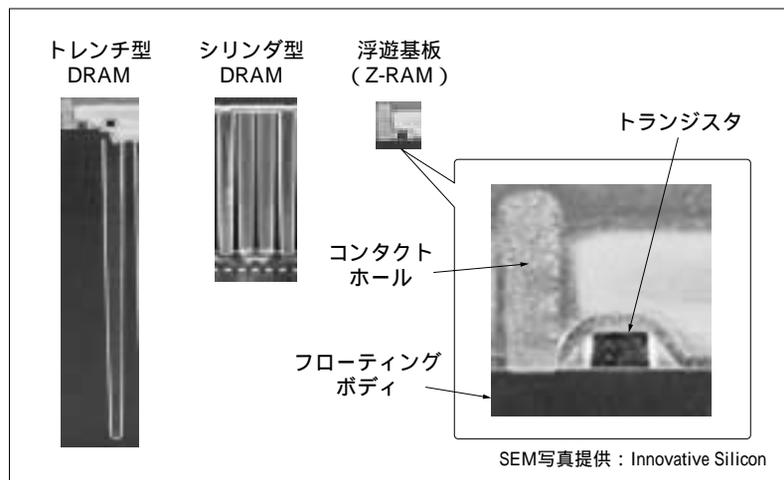


図4 トレンチ型、シリンダ型、浮遊基板 (Z-RAM) の構造比較

SOIデバイスには、本質的に、MOSトランジスタをONさせ続けるとデバイス本体に過剰電流が発生する。これは、n型Siのソース、p型Siのボディ、n型Siのドレイン、以上の構成が寄生バイポーラトランジスタとして機能することに起因している。その結果、WLおよびBLをONし続けると、フローティングボディに正孔が蓄積し、この寄生バイポーラトランジスタのベース-エミッタ間に電流が流れ、バイポーラトランジスタがONする。すると、コレクタ電流が流れインパクトイオン化で、さらに多くの正孔がフローティングボディに蓄積する。このような正帰還により電流が流れ続ける。

同社では、「本来ならば“好ましくない現象”とされているこの効果をコントロールし、強化することにより、“1”、“0”のロジックを明確に分ける」

ことに成功したという<sup>4)</sup>。これらの改良の結果、図3に示すように、従来のFB-RAMに対して、Z-RAMは、“1”と“0”のセル電流差およびリテンションタイムが大幅に向上した。

Z-RAMは破壊的技術になるか？

Innovative Siliconが試作したZ-RAMと、現在量産されているトレンチ型DRAMおよびシリンダ型DRAMの断面SEM写真を比較してみる(図4)。DRAMにとってキャパシタがないということが、どれだけ画期的なことであるかが、一目瞭然であろう。

同社によれば、韓国Hynix Semiconductorおよび米AMDが、ライセンス契約を行ったとのことである。また、量産化への課題としては、リテンションタイムのTail Bit Distributionの改善、低電圧化、低消費電力化などがあるとのことである。

SOI基板が高価という問題もあるが、まず、Z-RAMでは、従来型のDRAMに比べてマスク枚数を大幅に低減することができる。また、微細化限界も突破できるのであれば、より大幅なコストダウンが可能になる。さらに、FinFET、ダブルゲート

トランジスタ、ピラートランジスタなどの3Dタイプのトランジスタを採用した場合は、トランジスタのボディがフローティングになるため、SOI基板を使う必要がなくなる。Z-RAMが、DRAMにおける第2の破壊的イノベーションを起こすか否か、今後の行方が注目される。

参考文献

- 1) 湯之上隆：ローエンド型破壊と新市場型破壊イノベーション、Electronic Journal (2009.10) pp.41-43
- 2) 角南英夫：半導体メモリ、コロナ社(2008) p.91
- 3) 大澤隆：単一FETセルを用いたSOI DRAM、応用物理、第75巻 第9号(2006) pp.1131-1135、その他
- 4) 高密度・低コストの組み込み系メモリ技術「Z-RAM」、IT mediaモバイル(2005.1.25)、<http://plusd.itmedia.co.jp/mobile/articles/0501/25/news005.html>