

半導体漫遊記

(214)

湯之上隆

2019年のVLSIシンポジウム(以下VLSI)が6月9日(日)〜14日(金)、京都のリーガロイヤルホテルで開催された。VLSIはハワイと京都で隔年開催されるが、京都開催の今年はShort Course(659人)、本会議(1244人)とも過去最高の出席者で大盛況となった。

京都開催では日本をはじめ台湾、韓国、中国など近隣のアジア諸国から参加しやすいため、ハワイ開催より出席者数が多いと思われる。またVLSIではCircuit(回路)とTechnology(デバイス)のシンポジウムが同時開催されることから、半導体メーカーはもちろんのこと、装置メーカーや材料メーカーが情報収集のために多数参加することも活況の要因となっているだろう。

筆者はSunday Workshop、Short Course、本会議のすべてに参加した。その結果、世界の半導体業界

加えて今年のVLSIでは新たな試みとし、向が“3次元化”である。初日の日曜日に原簿プロセスに焦点を当てたセッションを含むSunday Workshopが開催された。これも出席者を増やすのに一役買ったと思われる。つまりS

が進むようになっている。向が“3次元化”である。初日の日曜日に原簿プロセスに焦点を当てたセッションを含むSunday Workshopが開催された。これも出席者を増やすのに一役買ったと思われる。つまりS

を大幅に縮小でき、極めて小さな領域にSRAMをつくりこむことができる。このような3次元トランジスタをimecは“Surronding Gate-1T1R”と呼称していた。ロジック半導体のトランジスタは3次元化が進み、DRAMやNANDなどのメモリも

大盛況のVLSIシンポ 業界トレンドは3次元化

ip on Wafer Integration”略して“WLSI”と呼称していた。なかなかしなやかなネーミングであり、これらを“Wafer Level System In”で、2年以上にわたって、2年で2倍トラン

ジスタが集積されるムーアの法則が実現してきた。これまでは2次元方向にトランジスタを微細化することによってムーアの法則が維持されてきたが、その微細化がスローダウンし始めている。しかし2次元の微細化に代わってトランジスタを3次元化し、チップを積層する3次元化が普及していく。今後は3次元化がムーアの法則が牽引することになるだろう。

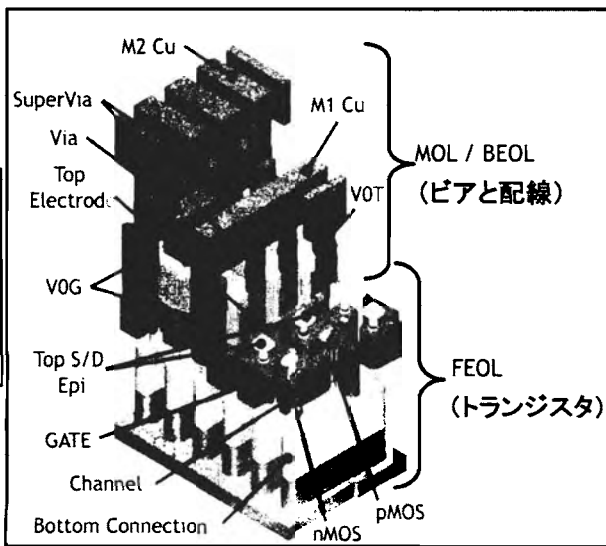


図1 欧州コンソーシアムimecが発表した5nmクラスのトランジスタ(SRAM)

出所: Min-Soo KIM et al, imec, VLSI2019より引用

ロジック、メモリ、センサ等を積層

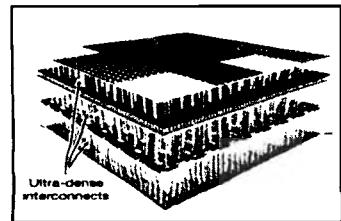


図2 TSMCが発表した3次元積層チップ

出所: C.H. Tung, TSMC, VLSI2019より引用

(微細加工研究所・所長)