

# 半導体漫遊記

## 湯之上隆

(371)

半導体産業では2010年ごろまではリソグラフィやドライエッチングなどの前工程の微細加工技術が主役であり、後工程にはほとんど注目が集まらなかった。ところが微細化しても半導体の動作速度が向上しにくくなったことから、複数のチップを横に並べたり、縦に積層する3次元半導体(3DIC)が注目を集めるようになった。

パッケージングへとパラダイムシフトしたのである。その代表例としてTSMCが開発したAppleのiPhone向けプロセス用InfO(Integrated

Around Time、TAT)と呼ばれ、ラピダスは前工程・後工程のいずれにおいても超短TATでの対応を目指している。しかし筆者はラピダスが超短TATで3DIC用パ

ッケージングを実現することは困難であると考えられる。その根拠は以下の通りである。まず3DICのパッケージングにはInfOやCOWOSのような専用のプラットフォームフォームの構築が必要だが、ラピダスにはその準備が全く整っていない。次に3DICに搭載する半導体チップとしては、2nmの最先端ロジックだけでなく7nm、16nm、28nmなどの成熟ノードのロ

(人工知能)向け半導体を製造する計画を、国際学会において発表した。この処理時間はターンアラウンドタイム(Turn Around Time、TAT)と呼ばれ、ラピダスは前工程・後工程のいずれにおいても超短TATでの対応を目指している。しかし筆者はラピダスが超短TATで3DIC用パ

ッケージングを実現することは困難であると考えられる。その根拠は以下の通りである。まず3DICのパッケージングにはInfOやCOWOSのような専用のプラットフォームフォームの構築が必要だが、ラピダスにはその準備が全く整っていない。次に3DICに搭載する半導体チップとしては、2nmの最先端ロジックだけでなく7nm、16nm、28nmなどの成熟ノードのロ

とは、現時点では不可能である。ラピダスには日本政府から1兆7225億円もの補助金が支出されている。し

かし、その計画は無謀極まりない。もう少し現実的な計画に変更するべきである(微細加工研究所・所長)

# 3次元半導体の時代

## ラピダスには不可能な理由

3DIC時代においては、まずパッケージの設計が行われ、その後パッケージに搭載する各種半導体チップが設計され、製造される。つまり個々の半導体チップは「部品」として位置づけられ、その「部品」を製造するために微細加工技術が用いられるのである。

ted Fan-Out)やNVIDIAのGPU向けCoWoS(Chip on Wafer on Substrate)などが挙げられる。こうした中で2027年までに最先端の2nmロジック半導体の量産を目指す

と表明しているラピダスは、前工程に加えて3DICの後工程にも参入し、両工程に要する処理時間を極限まで短縮する手法でAI

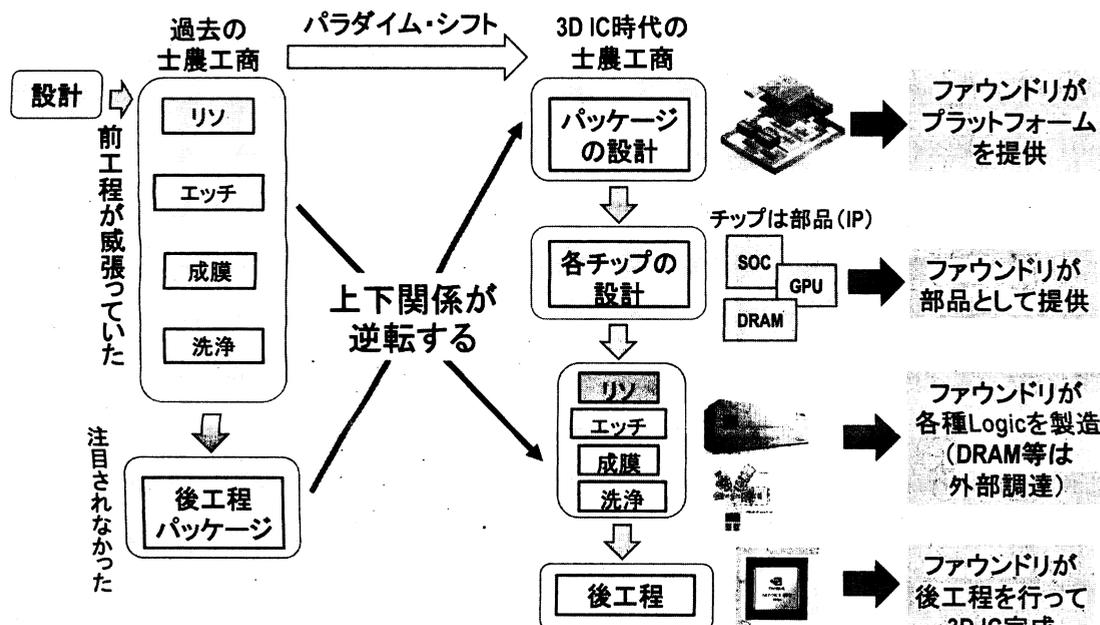
のロジックチップやDRAMなどを外部のメーカーに、ラピダスが行おうとしている超短TATに間に合わせるように短期間で製造してもらう必要があるが、それはほぼ絶望的である。つまりラピダスは、3DICの「部品」となる各種半導体を自社で製造することも、他社から短期間で調達することもできない。従って3DICのパッケージを超短TATで製造するこ

要するに半導体産業の主役は、前工程の微細加工技術から後工程の3DICパ

ッケージングへとパラダイムシフトしたのである。その代表例としてTSMCが開発したAppleのiPhone向けプロセス用InfO(Integrated

Around Time、TAT)と呼ばれ、ラピダスは前工程・後工程のいずれにおいても超短TATでの対応を目指している。しかし筆者はラピダスが超短TATで3DIC用パ

ッケージングを実現することは困難であると考えられる。その根拠は以下の通りである。まず3DICのパッケージングにはInfOやCOWOSのような専用のプラットフォームフォームの構築が必要だが、ラピダスにはその準備が全く整っていない。次に3DICに搭載する半導体チップとしては、2nmの最先端ロジックだけでなく7nm、16nm、28nmなどの成熟ノードのロ



ファウンドリが前工程も後工程も行う3D IC時代